



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication number: 1020020089998 A
(43) Date of publication of application: 30.11.2002

(21) Application number: 1020010029112
(22) Date of filing: 25.05.2001

(71) Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72) Inventor: HWANG, IN SEOK
KO, JEONG DEOK
KO, YONG SEON

(51) Int. Cl. H01L 21/31

(54) METHOD FOR FORMING INTERLAYER DIELECTRIC OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: An interlayer dielectric formation method of a semiconductor device is provided to prevent a dishing generating at a low density region by two-step polishing using a silica based slurry and a ceria based slurry.



CONSTITUTION: An interlayer dielectric is formed on the semiconductor substrate(100) having transistors, a high density region(101) having high pattern density and a low density region(102) having low pattern density. A capping layer is formed on the interlayer dielectric. A planarized interlayer dielectric(152) is formed by two-step polishing of the interlayer dielectric using the capping layer. That is, high topology portions of the interlayer dielectric and the capping layer are firstly polished by CMP(Chemical Mechanical Polishing) using a silica based slurry. Then, the exposed interlayer dielectric is selectively polished by CMP using a different polishing selectivity between the interlayer dielectric and the capping layer and using a ceria based slurry. A polysilicon layer or a SiON layer is used as the capping layer.

COPYRIGHT KIPO 2003

Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl.
 HD1L 21/31

(11) 공개번호 특 2002-0089998
 (43) 공개일자 2002년 11월 30일

(21) 출원번호	10-2001-0029112
(22) 출원일자	2001년 05월 25일
(71) 출원인	삼성전자 주식회사 경기 수원시 팔달구 매탄3동 416번지
(72) 발명자	고정덕 고용선 경기도수원시 팔달구 영통동 청명마을건영아파트 424동 1804호 황인석
(74) 대리인	경기도수원시 팔달구 영통동 청명마을주공아파트 401-703호 박상수

소송장구 : 없음

(54) 반도체 소자의 층간 절연막 형성방법

요약

본 발명은 이중막을 이용한 선택적 폴리싱공정을 통해 패턴밀도가 낮은 영역에서 디싱현상이 발생하는 것을 방지할 수 있는 반도체 소자의 층간 절연막 형성방법에 관한 것이다.

본 발명의 반도체 소자의 층간 절연막 형성방법은 고밀도 영역에 패턴밀도가 높은 소정의 패턴이 형성되고, 저밀도 영역에 패턴밀도가 낮은 소정의 패턴이 형성된 반도체 기판을 제공하는 단계와; 상기 패턴을 포함한 반도체 기판의 고밀도영역 및 저밀도영역상에 층간 절연막을 형성하는 단계와; 상기 층간 절연막 상에 캡핑층을 형성하는 단계와; 상기 캡핑층을 이용하여 상기 층간 절연막을 선택적으로 폴리싱하여 상기 층간 절연막을 평탄화하는 단계와; 상기 캡핑층을 제거하는 단계를 포함한다.

도면도

도2a

도2b

도면의 간단한 설명

도 1a 내지 도 1c 는 종래의 반도체 소자의 층간 절연막 형성방법을 설명하기 위한 공정 단면도, 도 2a 내지 도 2b는 본 발명의 실시예에 따른 반도체 소자의 층간 절연막 형성방법을 설명하기 위한 공정 단면도,

도면의 주요부분에 대한 부호의 설명

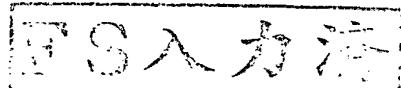
100 : 반도체 기판	101 : 패턴밀도가 높은 고밀도 영역
102 : 패턴밀도가 낮은 저밀도 영역	120, 125 : 게이트
121, 126 : 게이트 산화막	122, 127 : 폴리실리콘막
123, 128 : 금속 실리사이드막	130, 135 : 게이트 마스크
140, 145 : 게이트 스페이서	150 : 층간 절연막
152 : 평탄화된 층간 절연막	160 : 캡핑층

본명의 간단한 설명

본명의 목적

본명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체소자의 층간 절연막을 형성하는 방법에 관한 것으로서, 보다 구체적으로는 이중막(異種



膜)을 이용한 선택적 폴리싱공정을 통해 패턴밀도가 낮은 영역에서의 디싱현상을 방지할 수 있는 반도체 소자의 층간 절연막 형성방법에 관한 것이다.

도 1a 내지 도 1c는 종래의 반도체 소자의 층간 절연막(ILD, interlayer dielectric)을 형성하는 방법을 설명하기 위한 공정 단면도를 도시한 것이다.

도 1a를 참조하면, 반도체 기판(10)은 켈영역 등과 같은 패턴밀도가 높은 고밀도영역(11)과 주변영역 및 코마영역 등과 같은 패턴밀도가 낮은 저밀도영역(12)을 구비한다.

상기 반도체 기판(10)상에 각각 게이트 절연막(21), (26)을 포함한 게이트(20), (25)의 패턴이 형성되는데, 고밀도영역(11)에서는 게이트(20)가 패턴밀도가 높게 형성되며, 저밀도영역(12)에서는 게이트(25)가 패턴밀도가 낮게 형성된다.

상기 고밀도영역(11) 및 저밀도영역(12)에 형성된 게이트(20)와 게이트(25)의 패턴은 동일한 구조를 갖는다. 즉, 상기 고밀도 영역(11)에 형성된 게이트(20)는 게이트 절연막(21)상에 형성된 폴리실리콘막(22)과 텁스텐 실리사이드막과 같은 금속 실리사이드막(23)의 적층막으로 이루어진다. 상기 게이트(20)상에는 질화막 등으로 된 캠핑용 게이트 마스크(30)가 형성되고, 상기 게이트(20) 및 게이트 마스크(30)의 측벽에는 질화막 등으로 된 스페이서(40)가 형성된다.

이와 마찬가지로, 상기 저밀도 영역(12)에 형성된 게이트(25)는 상기 게이트 절연막(26)상에 형성된 폴리실리콘막(27)과 텁스텐 실리사이드막과 같은 금속실리사이드막(28)의 적층막으로 이루어진다. 상기 게이트(25)상에는 질화막 등으로 된 캠핑용 게이트 마스크(35)가 형성되고, 상기 게이트(25) 및 상기 게이트 마스크(35)의 측벽에는 질화막 등으로 된 스페이서(45)가 형성된다.

도 1b와 같이, 게이트(20), (25)가 형성된 반도체 기판(10)의 고밀도영역(11) 및 저밀도영역(12)상에 상기 고밀도영역(11)과 같이 패턴밀도가 높은 영역에서의 갭(gap fill) 특성이 좋은 BPSG막(50)을 증착한다.

도 1c와 같이, 옥사이드 슬러리(SiO₂ slurry)를 이용한 통상적인 실리카(silica) CMP(chemical mechanical polishing)공정을 진행하여 상기 BPSG막(50)을 폴리싱한다. 이로써, BPSG막(50)을 평탄화시켜 층간 절연막(51)을 형성한다.

그러나, 상기한 실리카 CMP 공정을 이용한 종래의 층간 절연막 형성방법은 다음과 같은 문제점이 있었다.

실리카 CMP 공정을 이용하여 층간 절연막을 평탄화시키는 방법은 반도체 기판의 전표면에 걸쳐 평탄화가 이루어진다. 그러나, 종래의 방법은 반도체 기판의 고밀도영역과 저밀도영역의 패턴밀도에 따라 층간 절연막의 평탄도가 달라지게 된다.

즉, 게이트 패턴이 조밀하게 형성된 반도체 기판(10)의 고밀도영역(11)에서는 대체적으로 균일한 평탄도가 얻어지지만, 게이트 패턴의 밀도가 낮은 저밀도영역(12)에서는 실리카 CMP 공정후 층간 절연막(51)의 표면이 오록해지는 디싱현상이 발생되는 문제점이 있었다. 이러한 디싱(dishing)현상은 후속 공정에서 공정 결함을 유발하여 반도체 소자의 신뢰성을 저하시키는 문제점이 있었다.

또한, 저밀도 영역(12)에서 상기 층간 절연막(51)의 디싱현상이 발생함에 따라 저밀도영역(12)에 형성된 게이트(25)상부의 게이트 마스크(35)의 질화막이 손상되는 문제점이 있었다.

한편, 고밀도영역(11)에서는 실리카 CMP 공정후 게이트(20)와 층간 절연막(51)간에 단차가 발생하는 문제점이 있었다.

발명의 이루고자 하는 기술적 목표

본 발명의 목적은 상기한 비와같은 종래 기술의 문제점을 해결하기 위한 것으로서, 이증막을 이용한 선택적 폴리싱방법을 통해 저밀도영역에서의 디싱현상을 방지할 수 있는 반도체 소자의 층간 절연막 형성방법을 제공하는 데 그 목적이 있다.

본 발명의 다른 목적은 저밀도영역에서의 게이트 마스크용 질화막의 손상을 방지할 수 있는 반도체 소자의 층간 절연막 형성방법을 제공하는 데 그 목적이 있다.

본 발명의 또 다른 목적은 켈영역에서 균일한 토플로지지를 갖는 반도체 소자의 층간 절연막 형성방법을 제공하는 데 그 목적이 있다.

본 발명의 또 다른 목적은 캠핑층을 이용하여 층간 절연막을 선택적으로 폴리싱하여 상기 디싱현상을 방지할 수 있는 반도체 소자의 층간 절연막 형성방법을 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명은 고밀도 영역에 패턴밀도가 높은 소정의 패턴이 형성되고, 저밀도 영역에 패턴밀도가 낮은 소정의 패턴이 형성된 반도체 기판을 제공하는 단계와; 상기 패턴을 포함한 반도체 기판의 고밀도영역 및 저밀도영역상에 층간 절연막을 형성하는 단계와; 상기 층간 절연막상에 캠핑층을 형성하는 단계와; 상기 캠핑층을 이용하여 상기 층간 절연막을 선택적으로 폴리싱하여 상기 층간 절연막을 평탄화하는 단계와; 상기 캠핑층을 제거하는 단계를 포함하는 반도체 소자의 층간 절연막 형성방법을 제공하는 것을 특징으로 한다.

상기 층간 절연막의 평탄화방법은 상기 고밀도영역과 저밀도영역중 높은 토플로지 부분의 층간 절연막과 캠핑층을 폴리싱하는 1차 CMP 단계와; 상기 캠핑층을 이용하여 1차 CMP 단계에서 노출된 층간 절연막을 선택적으로 폴리싱하는 2차 CMP 단계를 포함하는 것을 특징으로 한다.

상기 1차 CMP 단계는 옥사이드 슬러리를 사용하여 고밀도영역 및 저밀도영역중 높은 토플로지부분의 캠핑

총 및 층간 절연막을 폴리싱하고 저밀도영역 중 낮은 토플로지 부분의 캡핑층 및 층간 절연막은 그대로 남겨두며, 상기 2차 CMP 공정은 세리아 슬리리를 이용하여 층간 절연막과 캡핑층의 선택비 차이에 의해 상기 노출된 층간 절연막만을 폴리싱하는 것을 특징으로 한다.

상기 층간 절연막으로 BPSG막, USG막, HDP 산화막, SOG계열의 산화막 중 하나를 사용하는 것을 특징으로 한다.

상기 고밀도 영역과 저밀도 영역에 형성된 패턴은 모두 게이트 절연막상에 게이트용 도전막이 형성되고, 상기 도전막상부에 게이트마스크가 형성되며, 상기 게이트 마스크 및 도전막의 측벽에 스페이서가 형성된 게이트 패턴인 것을 특징으로 한다.

상기 캡핑층은 상기 층간 절연막과는 다른 미증막으로서 SiON 막 또는 폴리실리콘막 중 하나를 사용하며, SiON막을 사용하는 경우에는 상기 SiON막과 게이트 마스크용 절화막간의 케미칼 선택비 차이를 이용하여 HF 계열의 케미칼로 제거하거나, 폴리실리콘막을 사용하는 경우 상기 폴리실리콘막과 게이트 마스크용 절화막간의 케미칼 선택비 차이를 이용하여 폴리실리콘에 천트로 제거하는 것을 특징으로 한다.

또한, 본 발명은 패턴의 밀도가 높은 고밀도 영역과 패턴의 밀도가 낮은 저밀도영역을 구비하며, 상기 고밀도 영역 및 저밀도영역에 각각 게이트 패턴이 형성된 반도체 기판을 제공하는 단계와; 상기 패턴을 포함한 반도체 기판의 고밀도영역 및 저밀도영역상에 층간 절연막을 형성하는 단계와; 상기 층간 절연막상에 캡핑층을 형성하는 단계와; 상기 고밀도영역 및 저밀도영역중 높은 토플로지 부분의 층간 절연막과 캡핑층을 1차 CMP 공정을 통해 폴리싱하는 단계와; 상기 1차 CMP 공정을 통해 노출된 층간 절연막만을 선택적으로 폴리싱하여 상기 층간 절연막을 평탄화하는 단계와; 상기 캡핑층과 상기 게이트의 케미칼 선택비를 이용하여 상기 캡핑층을 제거하는 단계를 포함하는 반도체 소자의 층간 절연막 형성방법을 제공하는 것을 특징으로 한다.

이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 실시예를 첨부 도면을 참조하면서 보다 상세하게 설명하고자 한다.

도 2a 내지 도 2i 는 본 발명의 실시예에 따른 반도체 소자의 층간 절연막을 형성하는 방법을 설명하기 위한 공정 단면도를 도시한 것이다.

도 2a를 참조하면, 반도체 기판(100)은 셀영역 등과 같은 패턴밀도가 높은 고밀도영역(101)과 주변영역 및 코마영역 등과 같은 패턴밀도가 낮은 저밀도영역(102)를 구비하며, 상기 반도체 기판(100)의 고밀도영역(101)과 저밀도영역(102)에는 각각 게이트 절연막(121), (126)을 포함한 게이트(120), (125)가 형성된다.

이때, 상기 반도체 기판(100)중 고밀도영역(101)에서는 게이트(120)의 패턴이 조밀하게(dense) 형성되어 패턴밀도가 높으며, 저밀도영역(102)에서는 게이트(125)의 패턴이 상대적으로 덜 조밀하게 형성되어 패턴밀도가 낮다.

상기 반도체 기판(100)의 고밀도 영역(101) 및 저밀도영역(102)의 게이트(120), (125)의 패턴은 동일한 구조를 갖는다. 즉, 상기 고밀도영역(101)에 형성된 게이트(120)는 상기 게이트 절연막(121)상에 형성된 폴리실리콘막(122)과 텅스텐 실리사이드막과 같은 금속 실리사이드막(123)의 적층막으로 이루어진다. 상기 게이트(120)상에는 절화막 등으로 된 게이트 캡핑용 게이트 마스크(130)가 형성되고, 상기 게이트(120) 및 게이트 마스크(130)의 측벽에는 절화막 등으로 된 스페이서(140)가 형성된다.

한편, 상기 저밀도 영역(102)에 형성된 게이트(125)는 상기 게이트 절연막(126)상에 형성된 폴리실리콘막(127)과 텅스텐 실리사이드막과 같은 금속실리사이드막(128)의 적층막으로 이루어진다. 상기 게이트(125)상에는 절연막 등으로 된 게이트 캡핑용 게이트 마스크(135)가 형성되고, 상기 게이트(125) 및 상기 게이트 마스크(135)의 측벽에는 절화막 등으로 된 스페이서(145)가 형성된다.

도 2b와 같이 각각 게이트(120), (125)가 형성된 고밀도영역(101)과 저밀도영역(102)을 구비한 반도체 기판(100)상에 층간 절연막(150)을 증착하고, 도 2c와 같이 상기 층간 절연막(150)상에 캡핑층(160)을 형성한다.

이때, 상기 층간 절연막(150)으로는 패턴밀도가 높은 고밀도영역(101)에서의 갭필(gap fill) 특성이 좋은 BPSG막, USG막, 고밀도 플라즈마(HDP) 산화막 또는 SOG(spin on glass) 계열의 산화막이 사용된다. 상기 캡핑층(160)으로는 상기 층간 절연막(150)과는 다른 미증막(異種膜)으로서, SiON 막과 같은 무기 반사방지막이 사용되거나 또는 폴리실리콘막이 사용된다.

상기 층간 절연막(150) 및 캡핑층(160)을 형성한 후 반도체 기판(100)의 표면 토플로지를 살펴보면, 게이트(120)의 패턴밀도가 높은 고밀도영역(101)에서는 토플로지가 높다. 그리고, 게이트(125)의 패턴밀도가 낮은 저밀도영역(102)에서는 상대적으로 토플로지가 낮다.

도 2d와 같이, 상기 층간 절연막(151)을 1차로 옥사이드 슬리리를 이용한 실리카 CMP공정을 통해 폴리싱한다. 상기 옥사이드 슬리리는 층간 절연막(151)과 상기 캡핑층(161)간의 식각 선택비가 1:1 이므로, 1차 CMP 공정에서는 상기 층간 절연막(151)이 폴리싱될 때 상기 캡핑층(161)도 함께 폴리싱된다.

따라서, 옥사이드 슬리리를 이용한 1차 CMP 공정에서, 상대적으로 토플로지가 높은 영역에서의 캡핑층(161) 및 층간 절연막(151)은 함께 식각되고, 토플로지가 낮은 영역에서의 캡핑층(161)과 층간 절연막(151)이 식각되지 않고 그대로 남아있게 된다.

즉, 토플로지가 높은 고밀도영역(101)과 저밀도 영역(102)중 게이트(125)가 형성된 부분의 캡핑층(161) 및 층간 절연막(151)은 폴리싱되고, 상기 저밀도영역(102)의 토플로지가 낮은 부분에서는 캡핑층(161)과 층간 절연막(151)이 폴리싱되지 않고 그대로 존재한다.

도 2e와 같이, CeO₂ 슬리리를 이용한 세리아 CMP 공정을 통해 2차로 상기 층간 절연막(152)을 폴리싱한다. 세리아 슬리리를 이용한 2차 CMP 공정은 상기 층간 절연막(152)과는 다른 미증막으로 된 캡핑층(162)을

이용하여 상기 고밀도영역(101) 및 저밀도영역(102)의 층간 절연막(152)을 선택적으로 폴리싱하는 것이다.

상기 2차 CMP 공정은 고밀도 영역(101) 및 저밀도영역(102)의 게이트(120), (125)상의 게이트 마스크(130), (135)가 노출될 때까지 수행된다. 따라서, 고밀도영역(101)의 게이트(120)와 층간 절연막(152)간의 단차를 발생되지 않는다.

상기 세리아 슬러리는 1차 폴리싱된 층간 절연막(152)과 캡핑층(162)간의 식각 선택비가 큰 슬러리이므로, 캡핑층(162)은 식각되지 않고 층간 절연막(152)만 산화막만 식각하게 된다.

따라서, 상기 캡핑층(162)에 의해 덮혀져 있는 저밀도영역(102)의 층간 절연막(152)은 캡핑층(162)에 의해 상기 세리아 슬러리에 의해 폴리싱되지 않고 그대로 남아있게 되고, 상기 캡핑층(162)에 의해 덮혀져 있지 않은 노출된 고밀도영역(101) 및 저밀도(102)의 층간 절연막(152)만이 폴리싱된다.

즉, 고밀도 영역(101) 및 저밀도영역(102)중 높은 토플로지를 갖는 부분에서는 상기 층간 절연막(152)이 폴리싱되고, 저밀도영역(102)중 낮은 토플로지를 갖는 부분에서는 캡핑층(162)에 의해 폴리싱되지 않으므로, 기판(100)의 전면에 걸쳐 층간 절연막(152)은 균일한 토플로지를 갖는다.

도 21와 같이, 저밀도영역(102)에 남아있는 캡핑층(162)을 제거하면 본 발명의 실시예에 따른 평탄화된 층간 절연막(152)이 얻어진다. 최종적으로 얻어지는 층간 절연막(152)은 캡핑층(162)을 이용한 선택적 폴리싱 공정에 의해 평탄화되므로, 주변영역이나 코아영역 등과 같은 저밀도영역(102)에서 층간 절연막(152)의 디심현상은 일어나지 않게 되어 균일한 평탄도를 갖게 된다.

상기 저밀도 영역(102)에 남아있는 캡핑층(162)은 게이트(125)상에 형성된 게이트 마스크(135)용 절화막과 캡핑층(162)의 케미칼 선택비 특성을 이용하여 제거한다.

즉, 상기 캡핑층(162)으로 폴리실리콘막이 사용된 경우에는 캡핑층(162)의 폴리실리콘막과 게이트 마스크(135)의 절화막간의 케미칼 선택비 차이를 이용하여 폴리실리콘에 치트(poly-Si etchant)로 제거한다.

한편, 상기 캡핑층(162)으로 SION막과 같은 무기 반사방지막을 사용하는 경우에는 캡핑층(162)의 SION 막과 게이트 마스크(135)인 절화막간의 케미칼 선택비 차이를 이용하여 HF 계열의 케미칼로 제거한다.

상기한 바와같은 본 발명의 층간 절연막(152)은 1차 실리카 CMP 공정을 통해 폴리싱되고, 2차 세리아 CMP 공정을 통해 층간 절연막과는 다른 미증막을 이용하여 폴리싱되므로써, 주변영역이나 코아영역과 같은 저밀도영역(102)에서 디심현상이 발생되지 않는다.

따라서, 상기 2차 CMP 공정에서 세리아 슬러리를 이용하여 층간 절연막(151)만을 선택적으로 폴리싱하여 줌으로써, 셀링역과 같은 고밀도영역(101)에서 게이트 마스크(120)용 절화막과 층간 절연막(152)간의 단차가 발생되지 않는다.

또한, 주변영역 및 코아영역과 같은 저밀도영역(102)에서는 디심현상의 발생이 방지되므로, 저밀도영역(102)에서의 평탄화된 표면을 얻을 수 있을 뿐만 아니라 게이트 마스크(135)용 절화막의 손상을 방지할 수 있다.

본 발명의 실시예에 따라 층간 절연막을 형성하면, 평탄화된 층간 절연막이 얻어지므로, 후속공정 즉 포토공정, SAC(self align contact)를 형성하기 위한 CMP공정 및 텅스텐 플러그를 형성하기 위한 CMP공정에 서의 공정마진을 충분히 확보할 수 있는 이점이 있다.

3.5) 본 발명의 효과

상기한 바와같은 본 발명의 층간 절연막의 형성방법에 따르면, 1차로 실리카 CMP를 사용하여 층간 절연막을 폴리싱하고, 상기 층간 절연막과는 다른 미증막을 캡핑층으로 이용하여 2차로 세리아 CMP를 이용하여 폴리싱하므로써, 저밀도영역에서의 디심현상이 없는 평탄화된 층간 절연막을 형성할 수 있는 이점이 있다. 또한, 디심현상이 발생되지 않으므로, 저밀도영역에서의 게이트 마스크용 절화막의 손상을 최소화할 수 있는 이점이 있다.

게다가, 세리아 CMP 공정시 캡핑층을 이용하여 층간 절연막만을 폴리싱하여 줌으로써 고밀도영역에서는 게이트 마스크와 층간 절연막간의 단차발생을 방지할 수 있는 이점이 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

4.5) 청구항의 범위

청구항 1

고밀도 영역에 패턴밀도가 높은 소정의 패턴이 형성되고, 저밀도 영역에 패턴밀도가 낮은 소정의 패턴이 형성된 반도체 기판을 제공하는 단계와;

상기 패턴을 포함한 반도체 기판의 고밀도영역 및 저밀도영역상에 층간 절연막을 형성하는 단계와;

상기 층간 절연막상에 캡핑층을 형성하는 단계와;

상기 캡핑층을 이용하여 상기 층간 절연막을 선택적으로 폴리싱하여 상기 층간 절연막을 평탄화하는 단계와;

상기 캡핑층을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성방법.

청구항 2

제 1 항에 있어서, 상기 층간 절연막의 평탄화방법은

상기 고밀도영역과 저밀도영역중 높은 토플로지 부분의 층간 절연막과 캡핑층을 폴리싱하는 1차 CMP 단계와;

상기 캡핑층을 이용하여 1차 CMP 단계에서 노출된 층간 절연막을 선택적으로 폴리싱하는 2차 CMP 단계를 포함하는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성방법.

청구항 3

제 2 항에 있어서, 상기 1차 CMP 단계는 옥사이드 슬러리를 사용하여 고밀도영역 및 저밀도영역 중 높은 토플로지부분의 캡핑층 및 층간 절연막을 폴리싱하고 저밀도영역중 낮은 토플로지부분의 캡핑층 및 층간 절연막은 그대로 남겨두는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성방법.

청구항 4

제 3 항에 있어서, 상기 2차 CMP 공정은 세리마 슬러리를 사용하여 층간 절연막과 캡핑층의 선택비 차이에 의해 상기 노출된 층간 절연막만을 폴리싱하는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성방법.

청구항 5

제 4 항에 있어서, 상기 층간 절연막으로 BPSG막, USG막, HDP 산화막, SOG제열의 산화막중 하나를 사용하는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성방법.

청구항 6

제 5 항에 있어서, 상기 캡핑층으로 상기 층간 절연막과는 다른 이중막을 사용하는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성방법.

청구항 7

제 6 항에 있어서, 상기 캡핑층으로 SiON 막 또는 폴리실리콘막중 하나를 사용하는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성방법.

청구항 8

제 1 항에 있어서, 상기 고밀도 영역과 저밀도 영역에 형성된 패턴은 모두 게이트 절연막상에 게이트용 도전막이 형성되고, 상기 도전막상부에 게이트마스크가 형성되며, 상기 게이트 마스크 및 도전막의 측벽에 스페이서가 형성된 게이트 패턴인 것을 특징으로 하는 반도체 소자의 층간 절연막 형성방법.

청구항 9

제 8 항에 있어서, 상기 캡핑층으로 SiON 막 또는 폴리실리콘막중 하나를 사용하고, 상기 게이트 마스크로 절화막을 사용하는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성방법.

청구항 10

제 9 항에 있어서, 상기 캡핑층은 상기 게이트 마스크와의 케미칼 선택비를 이용하여 제거하는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성방법.

청구항 11

제 10 항에 있어서, 상기 캡핑층으로 SiON막을 사용하는 경우 상기 SiON막과 게이트 마스크용 절화막간의 케미칼 선택비 차이를 이용하여 HF 제열의 케미칼로 제거하는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성방법.

청구항 12

제 10 항에 있어서, 상기 캡핑층으로 폴리실리콘막을 사용하는 경우 상기 폴리실리콘막과 게이트 마스크용 절화막간의 케미칼 선택비 차이를 이용하여 폴리실리콘 에친트로 제거하는 것을 특징으로 하는 반도체 소자의 층간 절연막 형성방법.

청구항 13

패턴의 밀도가 높은 고밀도 영역과 패턴의 밀도가 낮은 저밀도영역을 구비하며, 상기 고밀도 영역 및 저밀도영역에 각각 게이트 패턴이 형성된 반도체 기판을 제공하는 단계와;

상기 패턴을 포함한 반도체 기판의 고밀도영역 및 저밀도영역상에 층간 절연막을 형성하는 단계와;

상기 층간 절연막상에 캡핑층을 형성하는 단계와;

상기 고밀도영역 및 저밀도영역중 높은 토플로지부분의 층간 절연막과 캡핑층을 1차 CMP 공정을 통해 폴리싱하는 단계와;

상기 1차 CMP 공정을 통해 노출된 층간 절연막만을 선택적으로 폴리싱하여 상기 층간 절연막을 평탄화하는 단계와;

상기 캡핑층과 상기 게이트의 케미칼 선택비를 이용하여 상기 캡핑층을 제거하는 단계를 포함하는 것을

특징으로 하는 반도체 소자의 충간 절연막 형성방법.

청구항 14

제 13 항에 있어서, 상기 1차 CMP 공정은 실리카 슬러리를 이용하고, 상기 2차 CMP 공정은 세리아 슬러리를 이용하는 것을 특징으로 하는 반도체 소자의 충간 절연막 형성방법.

청구항 15

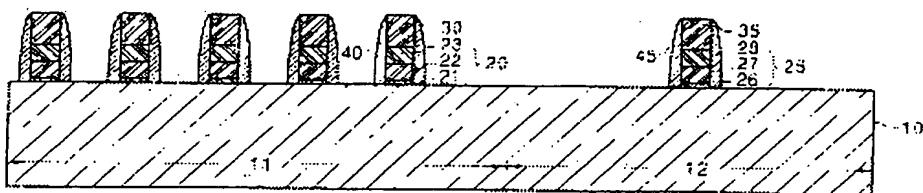
제 13 항에 있어서, 상기 캡핑층으로 폴리실리콘막 또는 SiON막과 같은 무기 반사방지막중 하나를 사용하며, 상기 충간 절연막으로 BPSG막, USG막, HDP 산화막, SOG계열의 산화막중 하나를 사용하는 것을 특징으로 하는 반도체 소자의 충간 절연막 형성방법.

청구항 16

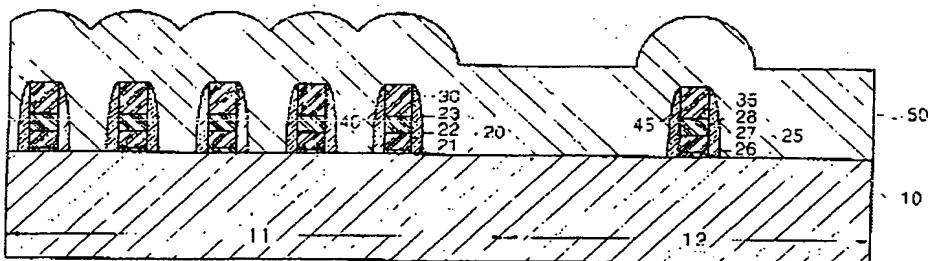
제 13 항에 있어서, 상기 게이트 패턴은 게이트 절연막상에 형성된 게이트 및 상기 게이트상에 형성된 절화막으로된 게이트 마스크를 포함하는 것을 특징으로 하는 반도체 소자의 충간 절연막 형성방법.

도면

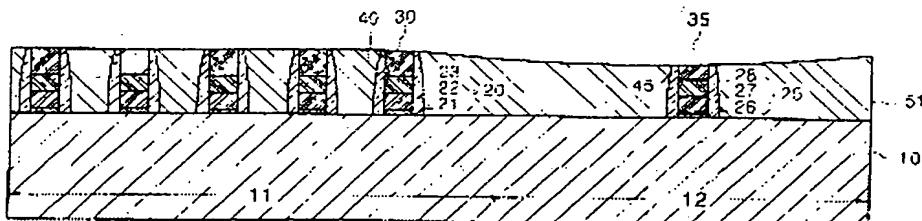
도면 1a



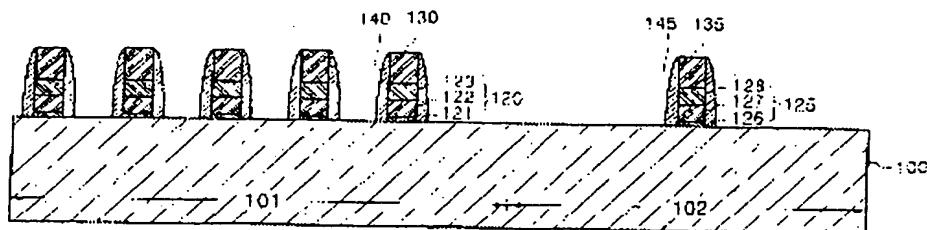
도면 1b



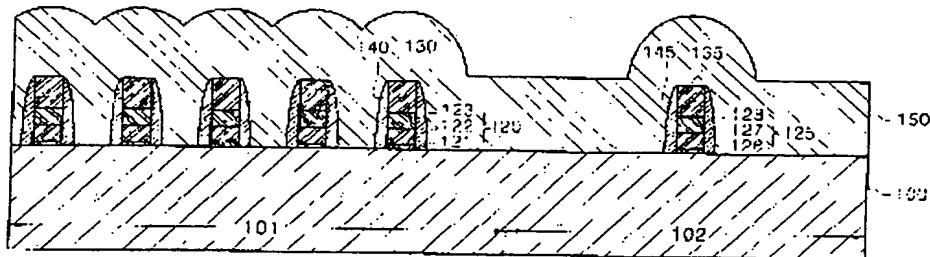
도면 1c



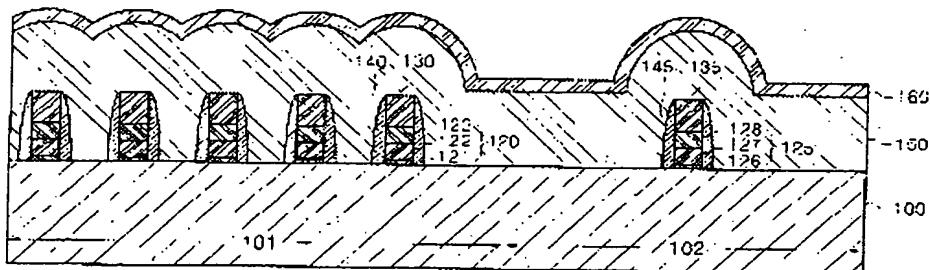
도면2a



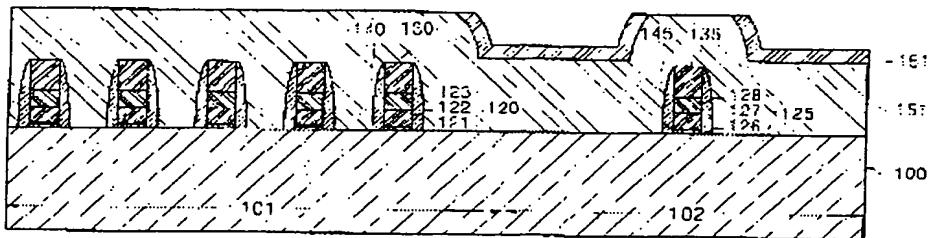
도면2b

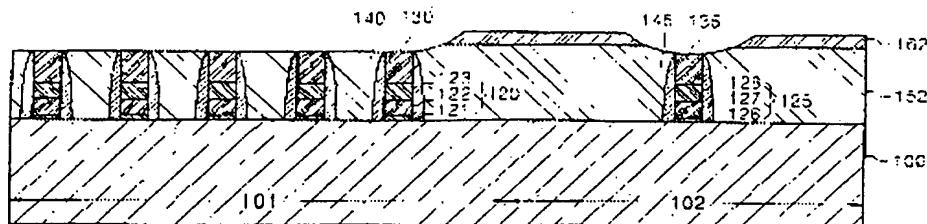
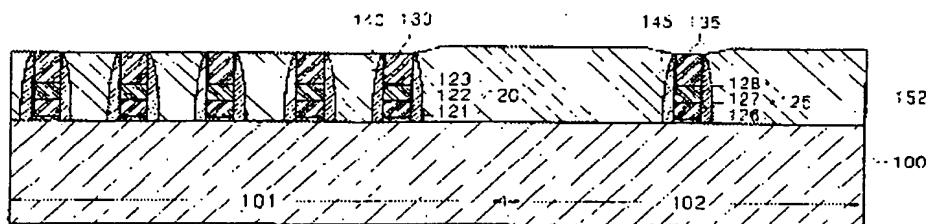


도면2c



도면2d



~~5820~~~~5821~~

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.